

(19)世界知的所有権機関  
国際事務局(43)国際公開日  
2005年10月6日 (06.10.2005)

PCT

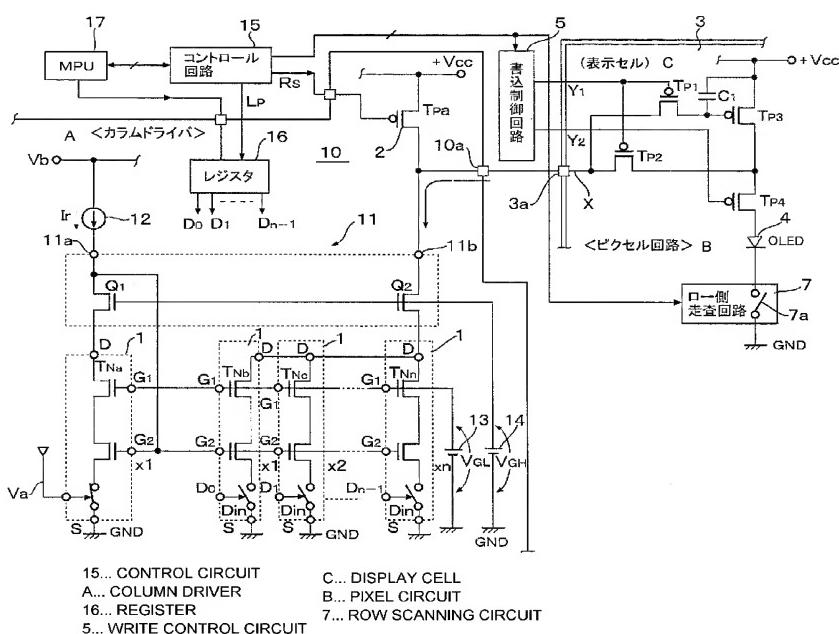
(10)国際公開番号  
WO 2005/093702 A1

- (51) 国際特許分類<sup>7</sup>: G09G 3/30,  
3/20, H03F 3/345, H03M 1/74
- (21) 国際出願番号: PCT/JP2005/005674
- (22) 国際出願日: 2005年3月28日 (28.03.2005)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願2004-095006 2004年3月29日 (29.03.2004) JP
- (71) 出願人(米国を除く全ての指定国について): ローム株式会社 (ROHM CO.,LTD) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町21番地 Kyoto (JP).
- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): 阿部 真一 (ABE, Shinichi) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町21番地 ローム株式会社内 Kyoto (JP). 前出淳 (MAEDE, Jun) [JP/JP]; 〒6158585 京都府京都市右京
- (74) 代理人: 梶山 信是, 外 (KAJIYAMA, Tsuyoshi et al.); 〒1600023 東京都新宿区西新宿8-8-15-201 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ヨーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU,

/ 続葉有 /

## (54) Title: ORGANIC EL DRIVER CIRCUIT AND ORGANIC EL DISPLAY DEVICE

## (54) 発明の名称: 有機EL駆動回路および有機EL表示装置



(57) Abstract: An organic EL driver circuit and an organic EL display device using a D/A, wherein a reduced number of relatively-high-breakdown voltage elements are used, a suppressed increase of circuit size has been achieved, and further, the unevenness and variations of the brightness of a displayed picture can be suppressed. A first transistor is connected between the input side transistor of a current mirror circuit constituting a D/A and an input terminal. A second transistor is connected between the output side transistor of the current mirror circuit and an output terminal. A third transistor is connected between the output terminal and a power supply line. The input and output side transistors and third transistor have lower breakdown voltages than the first and second

/ 続葉有 /



IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR),  
OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,  
MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:  
— 国際調査報告書

---

(57) 要約:

比較的高い耐圧素子の数を低減し、回路規模の増加を抑え、さらに表示画面の輝度むらや輝度ばらつきを抑えることができるD/Aを用いた有機EL駆動回路および有機EL表示装置を提供することを目的とする。この発明は、D/Aを構成するカレントミラーハ回路の入力側トランジスタと入力端子との間に設けられた第1のトランジスタと、カレントミラーハ回路の出力側トランジスタと出力端子との間に設けられた第2のトランジスタと、出力端子と電源ラインとの間に設けられた第3のトランジスタとを有していて、入力側トランジスタと出力側トランジスタと第3のトランジスタが第1および第2のトランジスタよりも耐圧の低いトランジスタになっているものである。

## 明 細 書

### 有機EL駆動回路および有機EL表示装置

#### 技術分野

[0001] この発明は、有機EL駆動回路および有機EL表示装置に関し、詳しくは、アクティブマトリックス型有機EL表示パネルにおけるピクセル回路のコンデンサを充電する電流駆動回路において、例えば、10V以上の比較的高い耐圧素子の数を低減し、回路規模の増加を抑え、さらに表示画面の輝度むらや表示装置ごとの輝度ばらつきを抑えることができるようなD/A変換回路(以下D/A)を用いた有機EL駆動回路に関する。

#### 背景技術

[0002] 従来の液晶表示装置では、デジタル信号をアナログ信号に変換するD/Aを設けてこのD/Aでデータ線を駆動する駆動回路が知られている。これをアクティブマトリックス型有機EL表示パネルにおけるピクセル回路に適用し、表示パネルに内蔵しようとした場合には小型化できないという問題がある点がすでに公知となっている(特許文献1)。

特許文献1:特開2000-276108号公報

#### 発明の開示

##### 発明が解決しようとする課題

[0003] しかし、このアクティブマトリックス型有機EL表示パネルを駆動する有機EL駆動回路を表示パネルの外部回路として設ければ、その分、有機EL表示パネルを小型化することができる。この場合、駆動電流値の書き込みは、通常、数百pFのピクセル回路のコンデンサを0.1μA～10μA程度の電流で充電することになる。しかし、アクティブマトリックス型有機EL表示パネルの表示輝度を階調制御する場合には、駆動電流の最小電流が1nA～30nA程度と、精度の高い電流値が要求される。その電流の方向は、シンク型とソース型の2種類があって、電源電圧+Vccは、アクティブマトリックス型有機EL表示パネルでもパッシブマトリックス型有機ELパネルでも、現在のところ10V～20V程度である。

電流シンク型は、ピクセル回路のコンデンサをリセットする電圧が電源電圧+Vccあるいはその近傍になる関係からD/Aを比較的高い耐圧の素子で構成することが必要になる。そのため、各素子の占有面積が大きくなり、有機EL表示パネルの端子ピン対応あるいはカラムピン対応に設けられるD/A全体の、ICにおける占有面積が増加する問題がある。しかも、酸化膜の厚さのばらつきが影響してカレントミラー回路を用いたD/Aにすると、各素子のペア性や素子間のマッチング精度が低下して高い電流変換精度を確保できなくなる。

その結果、D/A変換特性にばらつきを生じて、それが有機EL表示パネルの端子ピン相互あるいはカラムピン相互の出力電流のばらつきとなって現れ、さらに表示画面の輝度むら、表示装置ごとの輝度ばらつきとなって現れてくる。これは、パッシブマトリックス型有機ELパネルでも同様である。

この発明の目的は、前記のような従来技術の問題点を解決するものであって、比較的高い耐圧素子の数を低減し、回路規模の増加を抑え、さらに表示画面の輝度むらや表示装置ごとの輝度ばらつきを抑えることができるD/Aを用いた有機EL駆動回路および有機EL表示装置を提供することにある。

### 課題を解決するための手段

[0004] このような目的を達成するためのこの発明の有機EL駆動回路および有機EL表示装置の構成は、カレントミラー回路で構成されるD/Aが所定の電流を入力端子に受けて表示データをD/A変換して有機ELパネルの端子ピンに出力するための駆動電流あるいはこれの元となる電流を生成する有機EL駆動回路において、

カレントミラー回路の入力側トランジスタと入力端子との間に設けられた第1のトランジスタと、カレントミラー回路の出力側トランジスタと出力端子との間に設けられた第2のトランジスタと、出力端子と電源ラインとの間に設けられた第3のトランジスタとを有していて、入力側トランジスタと出力側トランジスタと第3のトランジスタが第1および第2のトランジスタよりも耐圧の低いトランジスタになっているものである。

### 発明の効果

[0005] この発明は、例えば、10V以上の比較的耐圧の高いトランジスタをD/Aの入力側と出力側にそれぞれ1個づつ設けて、D/Aを構成する他のトランジスタを耐圧の低

いトランジスタで構成する。さらに、D/Aの出力側に設けられるリセットスイッチ等の第3のトランジスタも耐圧の低いトランジスタとして設けるものである。これにより、比較的高い耐圧の素子は、D/Aの入力側と出力側だけの2個所で済み、比較的高い耐圧の素子の数を低減することができる。

このように、D/Aを構成する多くのトランジスタを耐圧の低いトランジスタにすることで、各トランジスタの占有面積が小さくなり、D/A全体のICにおける占有面積を低減することができる。また、IC内に多くのトランジスタを形成することが可能となるので、各素子のペア性や素子間のマッチング精度を向上させることができる。その結果、D/A変換精度を向上させることができ、出力電流のばらつきを抑えることができる。

このように、この発明は、比較的高い耐圧の素子の数を低減することができるので、出力段電流源にD/Aを用いた有機EL駆動回路等においては、その回路規模の増加を抑えることができる。

### 発明を実施するための最良の形態

[0006] 図1は、この発明の有機EL駆動回路を適用した一実施例のアクティブマトリックス型有機ELパネルにおける有機EL駆動回路のブロック図、図2は、そのセル回路の回路構成の説明図である。

図1において、10は、有機EL駆動回路のカラムドライバ(データ線駆動ドライバ)であって、11は、そのD/A、12は、基準駆動電流Irを発生する定電流源、13、14は、定電圧バイアス回路、15は、コントロール回路、16は表示データを記憶するレジスタ、そして17はMPUである。

D/A11は、入力側トランジスタセル回路TN<sub>a</sub>と出力側トランジスタセル回路TN<sub>b</sub>～TN<sub>n</sub>によるカレントミラー回路で構成される。

[0007] 各トランジスタセル回路TN<sub>a</sub>～TN<sub>n</sub>は、ドレイン端子Dとゲート端子G1、G2、入力端子Din、そしてソース端子Sとを有する図2に示すNチャネルトランジスタT1～T3が電源ラインとグランドライン(基準電位ライン)との間で従属接続される(直列に接続される)形のトランジスタセル回路1により構成されている。これらのうちトランジスタT3は、スイッチ回路を構成するトランジスタである。

それぞれのセル回路1のソース端子Sは、グランドGNDに接続されている。トランジ

スタセル回路TN<sub>a</sub>の入力端子D<sub>in</sub>は、通常は、バイアスラインV<sub>a</sub>に接続されてON状態にされている。各トランジスタセル回路TN<sub>b</sub>～TN<sub>n</sub>の各入力端子D<sub>in</sub>は、表示レジスタ16から表示データD<sub>0</sub>～D<sub>n-1</sub>をそれぞれ受け、図2のトランジスタT3の入力端子D<sub>in</sub>に対応している。各トランジスタセル回路TN<sub>b</sub>～TN<sub>n</sub>のスイッチ回路SW(トランジスタT3)は、表示データD<sub>0</sub>～D<sub>n-1</sub>に応じてそれぞれON/OFFされる。表示データD<sub>0</sub>～D<sub>n-1</sub>は、コントロール回路15のラッチパルスLPに応じてMPU17からレジスタ16にセットされる。

[0008] 各トランジスタセル回路TN<sub>a</sub>～TN<sub>n</sub>のゲート端子G<sub>1</sub>, G<sub>2</sub>はそれぞれが共通に接続されている。さらに、トランジスタセル回路TN<sub>a</sub>のセル回路1のゲート端子G<sub>2</sub>は、D/A11の入力端子11aに接続されている。また、トランジスタセル回路TN<sub>a</sub>のセル回路1のドレイン端子Dは、10Vを超える比較的耐圧の高いNチャネルのトランジスタQ1のソースードレインを介してD/A11の入力端子11aに接続されている。これにより、トランジスタセル回路TN<sub>a</sub>のセル回路1のトランジスタT2がダイオード接続されて、このトランジスタT2がカレントミラー回路の入力側トランジスタとなって、定電流源12から駆動電流I<sub>r</sub>を受ける。

定電流源12は、バイアスラインV<sub>b</sub>に接続され、基準電流分配回路の出力電流源に対応している。基準電流分配回路は、カレントミラー回路で構成される入力側トランジスタが基準電流を受けて、カラムドライバ10の出力端子ピン対応に並列に設けられた多数の出力側トランジスタにミラー電流として基準電流を生成する。そして、有機ELパネルのカラムピン(出力端子ピン)対応に基準電流あるいは基準駆動電流を分配する。

[0009] 各トランジスタセル回路TN<sub>b</sub>～TN<sub>n</sub>のドレイン端子Dは、D/A11の出力端子11bにNチャネルの比較的耐圧の高いトランジスタQ2のソースードレインを介して接続されている。この出力端子11bは出力ピン10aに接続され、出力ピン10aと電源ライン+V<sub>cc</sub>との間にはリセットスイッチ回路2が設けられている。リセットスイッチ回路2は、PチャネルのトランジスタTP<sub>a</sub>からなり、そのソースが電源ライン+V<sub>cc</sub>に接続され、そのドレインが出力ピン10aに接続されている。電源ライン+V<sub>cc</sub>の電圧は、10V～20V程度である。

トランジスタTPaのゲートは、コントロール回路15からリセット信号RSを受ける。各トランジスタセル回路TN<sub>a</sub>～TN<sub>n</sub>の共通に接続されたゲート端子G1は、定電圧バイアス回路13に接続され、定電圧バイアス回路13により設定されるゲート電圧VGLでそれぞれのトランジスタの各セル回路1の上流側のトランジスタT1が所定の抵抗値を以てON状態に設定され、かつ、各トランジスタT1のソース側は、定電圧バイアス回路13が発生する定電圧より0.7V程度低い電圧に等しく設定される。

[0010] トランジスタQ1とトランジスタQ2のゲートは共通に接続されて、定電圧バイアス回路14に接続されて、これにより設定されるゲート電圧VGHで所定の抵抗値を以てON状態に設定され、かつ、各トランジスタQ1, Q2のソース側は、定電圧バイアス回路14が発生する定電圧より0.7V程度低い電圧に等しく設定される。

このようにトランジスタQ1を入力側に、そしてトランジスタQ2を出力側に配置して、ここで、比較的大きな降下電圧を発生させることで、トランジスタTPaと各トランジスタセル回路TN<sub>a</sub>～TN<sub>n</sub>の動作電圧を下げることができる。

さらに、トランジスタQ1とトランジスタQ2のゲートが定電圧バイアス回路14に接続されることで、各トランジスタセル回路TN<sub>a</sub>～TN<sub>n</sub>のドレイン端子Dの電圧を実質的に等しい値に設定することができる。これらにより、カラムドライバ10は、D/Aの占有面積を低減し、かつ、D/A変換精度を向上させることができる。

その結果、D/Aの変換特性のばらつきが減少して有機ELパネルのカラムピン相互あるいは端子ピン相互の出力電流のばらつきが低減し、それにより表示装置の表示画面の輝度むら、表示装置ごとの輝度ばらつきを抑えることができる。

ところで、各トランジスタセル回路に対応して示す、×1, ×2, ×4…の数字は、パラレルに接続されたセル回路1の数を示している。×1の場合にパラレル接続はない。×nのセル回路数に応じて出力側トランジスタセル回路TN<sub>b</sub>～TN<sub>n</sub>は、それぞれの出力に桁重みが付けられている。

[0011] さて、D/A11の各トランジスタセル回路TN<sub>a</sub>～TN<sub>n</sub>を構成するセル回路1は、図2に示すように、ソースドレインと順次電源ライン+VccとグランドラインGNDとの間で縦に積上げられる形で従属接続された3個のNチャネルのトランジスTr1～Tr3とからなる。トランジスTr3はスイッチ回路を構成し、そのソースはソース端子Sに接続されて

いる。トランジスTr1のドレインはドレイン端子Dに接続されている。

トランジスタTr2のゲートはゲート端子G1に接続され、トランジスタTr3のゲートはゲート端子G2に接続されている。

なお、トランジスタTr1～Tr3のバックゲートは、共通にソース端子Sに接続されている。

[0012] ここで図1に戻り、3は、ピクセル回路(表示セル)であって、有機ELパネルの表示画素対応に設けられていて、データ線X、接続端子3aを介して出力ピン10aに接続されている。ピクセル回路3は、X、Yのマトリックス配線(データ線X、走査線Y1、Y2 ...)の交点に対応して設けられている。このピクセル回路3内には各データ線Xと各走査線Yとの各交点にドレイン側とゲートが接続されたPチャネルMOSトランジスタTP1、TP2が配置されている。OEL素子4は、ピクセル回路3に設けられたPチャネルMOSの駆動トランジスタTP3、TP4により駆動される。トランジスタTP3のソースゲート間にはコンデンサCが接続されている。

トランジスタTP1のソースは、トランジスタTP3のゲートに接続され、トランジスタTP2のソースは、トランジスタTP3のドレインに接続されている。これによりこれらトランジスタTP1、TP2がONしたときにはトランジスタTP3のゲートとドレインとがダイオード接続されて、駆動電流がトランジスタTP3に流されて駆動電流に対応した電圧値がコンデンサCに高い精度で記憶される。

トランジスタTP3のソースは、電源ライン+Vccに接続され、そのドレイン側は、トランジスタTP4のソースドレインを介してOEL素子4の陽極に接続されている。OEL素子4の陰極は、ロー側走査回路7のスイッチ回路7aに接続され、このスイッチ回路7aを介してグランドGNDに接続されている。

トランジスタTP1、TP2のゲートは、走査線Y1(書込線)を介して書込制御回路5に接続され、書込制御回路5によりこれらトランジスタが走査されて走査線Y1がLOWレベル(以下“L”)になることでトランジスタTP1、TP2がONになる。リセット信号RSによるリセット終了後(後述)に電源ライン+VccからトランジスタTP3、コンデンサC、トランジスタTP1、TP2、データ線X、端子3a、出力ピン10aを経てD/A11がシンクする所定の駆動電流が流れ、コンデンサCには駆動電流値に対応する電圧値が書き込まれ、

記憶される。そして、走査線Y1がHIGHレベル(以下“H”)になり、トランジスタTP1, TP2がOFFになる。

トランジスタTP4のゲートは、走査線Y2を介して書き制御回路5に接続され、書き制御回路5によりトランジスタTP4が走査されてこのとき走査線Y2(駆動線)が“L”になることでトランジスタT4がONになる。これによりトランジスタTP3, TP4がON状態に維持されて、OEL素子4の陽極に駆動電流が供給される。なお、このときには、走査線Y1は“H”になっていて、トランジスタTP1, TP2はOFFである。

トランジスタTP3, TP4の駆動終了時点で、ロー側が次の走査ラインに移り、走査線Y2が“H”になり、トランジスタTP4がOFFする。そのタイミングで走査線Y1が“L”になり、これによりONしたトランジスタTP1, TP2と、リセット信号RSによりONしたトランジスタTPaとによりコンデンサCの電圧がリセットされる。

このリセットの終了後に、出力ピン10aを経てD/A11がシンクする所定の駆動電流が流れ前記したコンデンサCへの駆動電流値の書き込みが行われる。

なお、リセット信号RSによるリセットとコンデンサCへの書き込みは、水平走査の帰線期間に相当するリセット期間内に行われる。

また、図示していないが、トランジスタセル回路TNaのセル1のスイッチ回路SW(トランジスタT3)は、コンデンサCの電圧がリセットされるリセット期間においてはトランジスタセル回路TNaの入力端子Dinをリセット信号RSに応じて“L”にすることでOFFすることができる。スイッチ回路SWがOFFすることにより各トランジスタセル回路TNb—TNnもOFFする。これによりリセット信号RSによりトランジスタTPaがONしたときにはD/A11の各トランジスタセル回路TNa—TNnに流れる電流を阻止して消費電流を低減することができる。

### 産業上の利用可能性

[0013] 以上説明してきたが、実施例では、出力段電流源にD/Aを用いているが、この発明は、カレントミラー回路等の出力段電流源をさらに設けて、D/Aの出力電流での出力段電流源を電流駆動するようにしてもよい。このような場合、リセットスイッチとなるトランジスタTPa(この発明における第3のトランジスタ)は、前記出力段電流源を構成するトランジスタの1つなどであってもよく、リセットスイッチとなるトランジスタ以外

の他のトランジスタであってもよい。

なお、このような出力段電流源を設ければ、パッシブマトリックス型有機EL表示パネルの駆動回路に適したものとなる。

したがって、実施例では、アクティブマトリックス型有機EL表示パネルにおける駆動回路を例としているが、この発明は、パッシブマトリックス型有機EL表示パネルの駆動回路にも適用できることはもちろんである。

さらに、実施例では、NチャネルMOSトランジスタを主体としたD/Aを示しているが、このD/Aは、PチャネルMOSトランジスタあるいはこれとNチャネルMOSトランジスタとを組み合わせた回路であってもよいことはもちろんである。

実施例では、MOSトランジスタを用いているが、この発明は、MOSトランジスタに換えてバイポーラトランジスタを用いてもよいことはもちろんである。なお、その場合には、ゲートはベースに、ソースはエミッタに、ドレインがコレクタに対応する。

#### 図面の簡単な説明

[0014] [図1]図1は、この発明の有機EL駆動回路を適用した一実施例のアクティブマトリックス型有機ELパネルにおける有機EL駆動回路のブロック図である。

[図2]図2は、そのセル回路の回路構成の説明図である。

#### 符号の説明

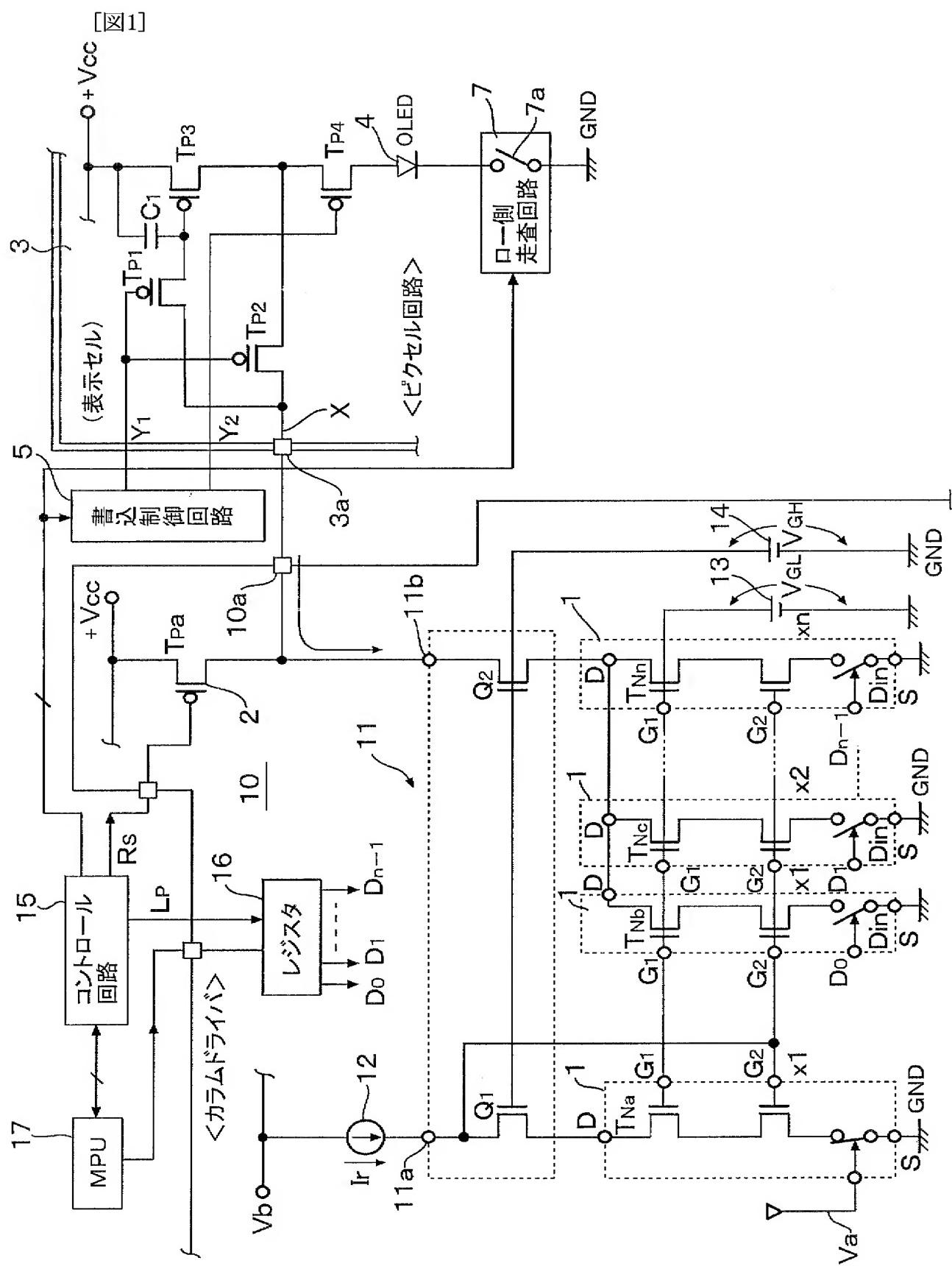
[0015] 1…トランジスタセル回路、  
2…リセットスイッチ回路、3…ピクセル回路(表示セル)、  
4…有機EL素子(OEL素子)、5…書込制御回路、  
7…ロー側走査回路、7a…スイッチ回路、  
10…カラムドライバ、  
10a…出力ピン、11…D/A、  
12…定電流源、13, 14…定電圧バイアス回路、  
15…コントロール回路、16…レジスタ、  
17…MPU、  
Q1～Q3…MOSトランジスタ、  
Tr1～Tr7…MOSトランジスタ、

T<sub>Na</sub>～T<sub>Nn-1</sub>…MOSトランジスタ。

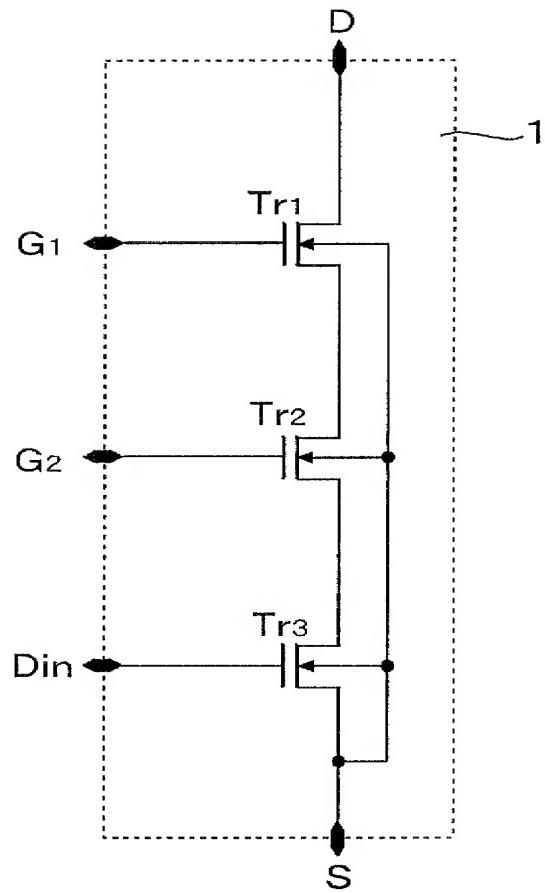
## 請求の範囲

- [1] カレントミラー回路で構成されるD/A変換回路が所定の電流を入力端子に受けて表示データをD/A変換して有機ELパネルの端子ピンに出力するための駆動電流あるいはこれの元となる電流を生成する有機EL駆動回路において、  
前記カレントミラー回路の入力側トランジスタと前記入力端子との間に設けられた第1のトランジスタと、  
前記カレントミラー回路の出力側トランジスタと出力端子との間に設けられた第2のトランジスタと、  
前記出力端子と電源ラインとの間に設けられた第3のトランジスタとを有し、  
前記入力側トランジスタと前記出力側トランジスタと前記第3のトランジスタが前記第1および第2のトランジスタよりも耐圧の低いトランジスタである有機EL駆動回路。
- [2] 前記入力側トランジスタと前記第1のトランジスタの接続点と、前記出力側トランジスタと前記第2のトランジスタの接続点とは、実質的に同じ電位になるように、前記第1および第2のトランジスタがバイアスされる請求項1記載の有機EL駆動回路。
- [3] 前記第1および第2のトランジスタのそれぞれのゲートあるいはベースが所定の定電圧に設定されることで各前記接続点が実質的に同じ電位にされる請求項2記載の有機EL駆動回路。
- [4] 前記第1および第2のトランジスタは、10V以上の電源電圧に対応する比較的高耐圧のトランジスタである請求項3記載の有機EL駆動回路。
- [5] 前記第3のトランジスタは、リセットスイッチである請求項4記載の有機EL駆動回路。  
。
- [6] 前記第3のトランジスタは、前記駆動電流を発生する出力段電流源を構成するトランジスタの1つである請求項4記載の有機EL駆動回路。
- [7] 前記出力端子は、前記D/A変換回路の出力端子であり、前記入力側トランジスタと前記出力側トランジスタとは、それぞれ電源ラインと基準電位ラインとの間において従属接続される複数のトランジスタで構成され、前記出力側トランジスタは、前記入力側トランジスタに対して並列に複数個設けられ、そのそれぞれが前記出力端子に接続されている請求項3記載の有機EL駆動回路。

- [8] 前記入力側トランジスタと前記出力側トランジスタとは、それぞれスイッチ回路を構成するトランジスタをさらに直列に有し、セル回路として形成され、前記入力側トランジスタのスイッチ回路を構成するトランジスタはON状態に設定され、各前記出力側トランジスタのスイッチ回路を構成するトランジスタは、前記表示データを受けてON/OFFされる請求項4記載の有機EL駆動回路。
- [9] 前記有機ELパネルは、前記端子ピンを多数有し、前記D/A変換回路は、前記多数の端子ピンに対応してそれぞれ設けられている請求項8記載の有機EL駆動回路。
  -
- [10] 各前記D/A変換回路の前記カレントミラー回路の入力側トランジスタは、各前記端子ピンに対応して分配された基準電流あるいはこの基準電流に応じて生成された基準駆動電流を受ける請求項9記載の有機EL駆動回路。
- [11] 前記出力端子は、アクティブマトリックス型有機ELパネルのデータ線に接続される請求項10記載の有機EL駆動回路。
- [12] 前記出力端子は、前記出力段電流源の出力端子であって、パッシブマトリックス型有機ELパネルのカラムラインに接続される請求項6記載の有機EL駆動回路。
- [13] 請求項1～12のいずれか1項記載の有機EL駆動回路を有する有機EL表示装置。
  -



[図2]



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/005674

**A. CLASSIFICATION OF SUBJECT MATTER**

Int.Cl<sup>7</sup> G09G3/30, 3/20, H03F3/345, H03M1/74

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> G09G3/30, 3/20, H03F3/345, H03M1/74

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2004-78163 A (Rohm Co., Ltd.), 11 March, 2004 (11.03.04), Par. Nos. [0013] to [0023]; Figs. 1, 2 & US 2003/0234754 A1	1-13
Y	JP 2003-140756 A (Sanyo Electric Co., Ltd.), 16 May, 2003 (16.05.03), Par. Nos. [0013] to [0023]; Fig. 1 (Family: none)	1-13

Further documents are listed in the continuation of Box C.

See patent family annex.

\* Special categories of cited documents:

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier application or patent but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
27 April, 2005 (27.04.05)

Date of mailing of the international search report  
17 May, 2005 (17.05.05)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2005/005674

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	Microfilm of the specification and drawings annexed to the request of Japanese Utility Model Application No. 61003/1987 (Laid-open No. 169719/1988) (NEC Corp.), 04 November, 1988 (04.11.88), Page 9, line 17 to page 11, line 2; Fig. 3 (Family: none)	1-13
Y	JP 2004-78210 A (Rohm Co., Ltd.), 11 March, 2004 (11.03.04), Par. No. [0012]; Fig. 1 (Family: none)	1-13
A	JP 2002-8858 A (Sanyo Electric Co., Ltd.), 11 January, 2002 (11.01.02), Full text; all drawings (Family: none)	1-13

## A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl.<sup>7</sup> G09G3/30, 3/20, H03F3/345, H03M1/74

## B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl.<sup>7</sup> G09G3/30, 3/20, H03F3/345, H03M1/74

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 2004-78163 A (ローム株式会社) 2004.03.11 段落【0013】-【0023】、図1, 2 & U S 2003/0234754 A1	1-13
Y	J P 2003-140756 A (三洋電機株式会社) 2003.05.16 段落【0013】-【0023】、図1, (ファミリーなし)	1-13

※ C欄の続きにも文献が列挙されている。

〔〕 パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

## の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&amp;」同一パテントファミリー文献

国際調査を完了した日

27.04.2005

国際調査報告の発送日

17.5.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

福村 拓

2G 3308

電話番号 03-3581-1101 内線 3226

C (続き)	関連すると認められる文献	
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	日本国実用新案登録出願 62-61003号（日本国実用新案登録出願公開 63-169719号）の願書に添付した明細書及び図面の内容を記録したマイクロフィルム（日本電気株式会社） 1988. 11. 04 第9頁第17行—第11頁第2行及び図3, (ファミリーなし)	1-13
Y	JP 2004-78210 A (ローム株式会社) 2004. 03. 11 段落【0012】及び図1, (ファミリーなし)	1-13
A	JP 2002-8858 A (三洋電機株式会社) 2002. 01. 11 全文、全図, (ファミリーなし)	1-13